

공개특허특1999-0038946

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
H01L 27/08(11) 공개번호 특1999-0038946
(43) 공개일자 1999년06월05일(21) 출원번호 10-1997-0058838
(22) 출원일자 1997년11월07일(71) 출원인 한국전자통신연구원 정선종
대전광역시 유성구 가정동 161번지(72) 발명자 구진근
대전광역시 유성구 어온동 99 한빛아파트 116동205호
남기수
대전광역시 유성구 어온동 99 한빛아파트 138동1502호
강진영
대전광역시 유성구 신성동 160-1 한울아파트 109동 702호
박문양
대전광역시 유성구 신성동 160-1 한울아파트 105동 806호(74) 대리인 김명섭
이화익

심사청구 : 있음

(54) 트렌치 구조 드레인을 갖는 고압소자

요약

본 발명은 소오스(source)-게이트(gate)-표류영역(drift region)-드레인(drain)이 수평으로 배치된, 소위 LDMOS(lateral double diffused MOS) 구조를 갖는 100V급 이상의 전계효과(field effect) 고압소자(high voltage device)의 구조에 관한 것으로, 고압 소자에 고압 인가시 표류영역과 접하는 드레인 가장자리에서 발생하는 항복전압을 높이기 위하여, 드레인이 기판의 수직방향으로 확장되어 형성되도록, 표류영역의 드레인 형성영역에 트렌치를 형성하고, 이 트렌치의 내부벽면을 따라 소정의 깊이를 갖는 드레인을 형성하였다.

본 발명은 고전압 인가시 소오스에서 드레인을 향하여 기판의 표면을 따라 진행하는 전자의 충격 이온화를 드레인의 가장 자리에서 수직으로 분산시킴으로서 항복전압을 높일 수 있어 고압소자의 동작전압을 향상시킬 수 있다.

대표도도2명세서도면의 간단한 설명

- 도 1은 본 발명에 의한 고압 소자의 평면 구조도,
- 도 2는 본 발명에 의한 고압 소자의 단면도,
- 도 3은 종래 기술에 따른 고압 소자의 단면도,
- 도 4는 본 발명의 고압 소자의 드레인 전압-전류 특성도,
- 도 5는 종래 기술의 고압 소자의 드레인 전압-전류 특성도,
- 도 6 내지 도 15는 본 발명에 의한 고압 소자의 제조 공정 순서를 나타낸 단면도,
- 도 6은 반도체 기판 및 산화막 성장 후의 단면도,
- 도 7은 표류영역(drift region)형성 후의 단면도,
- 도 8은 웰(well) 형성 후의 단면도,

도 9는 필드(field) 산화막 성장후의 후의 단면도,
도 10은 게이트(gate) 산화막 성장후의 단면도,
도 11은 폴리실리콘(polysilicon) 도포 및 게이트 형성후의 단면도,
도 12는 드레인(drain)영역의 트렌치(trench) 형성후의 단면도,
도 13는 소오스(source)/드레인(drain) 형성후의 단면도,
도 14는 절연막 추가 도포 및 금속단자 연결점(contact) 개방후의 단면도,
도 15는 금속단자 연결후 완성된 소자의 단면도,
〈도면의 주요 부분에 대한 부호의 설명〉
22,42 : 웰(well)영역 23,43 : 표류(drift)영역
24,44 : 소오스(source) 25,45 : 폴리실리콘 게이트
26,46 : 드레인 27,47 : 웰 연결 인도 창
11 : 소오스 연결점 12 : 게이트 연결점
13 : 드레인 연결점 14 : 웰 연결점
21, 41 : 반도체 기판 28,48 : 소오스 연결 배선금속 단자
29,49 : 게이트 연결 배선금속 단자
30,50 : 드레인 연결 배선금속 단자
35,55 : 벌크 전압항복(bulk breakdown) 발생영역
36,56 : 웰 접합 전압항복(well junction breakdown)발생영역
37,57 : 활성영역 가장자리 전압항복(active edge breakdown) 발생영역
38,58 : 드레인 가장자리 전압항복(drain edge breakdown) 발생영역
60,61,62,63 : 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 고압 소자에 관한 것으로, 특히 드레인의 전압항복을 개선하기 위하여 트렌치 구조의 드레인을 가지는 고압 소자에 관한 것이다.

일반적으로 실리콘 등을 이용한 수백 V급의 고압 소자는 전력소자의 일종으로서 고압 동작이 필요한 표시소자(display device)나 서보모터, 액추에이터 등의 구동기(driver)에 사용된다.

도 3은 종래 기술에 의한 LDMOS형 고압 소자의 단면도를 나타낸다.

도 3의 LDMOS형 고압 소자는 기판 41상에 웰 영역 42 및 표류 영역 43이 형성되어 있고, 게이트 45가 웰 영역 42과 표류 영역 43의 상측에 절연막에 의해 절연되어 형성되어 있으며, 표류 영역 43의 표면부에 드레인 26이 형성되어 있고, 웰 영역에 소오스 44, 웰 연결 인도창 47이 형성되어 있는 구조를 가지고 있다.

상기한 도 3의 종래의 고압 소자에서는 드레인 46에 고전압이 인가될 때, 게이트 전압이 0V, 즉 "off"시에는 전압항복은 표류영역 43에서 기판 41측으로 벌크 전압항복이 영역 55에서 일어나거나, 표류영역 43과 웰 영역 42의 접합 영역 56 또는 이 부근의 활성영역의 가장자리 영역 57에서 일어난다. 다시 말해, 게이트 전압의 "off"시에는 드레인 46에서 멀리 떨어진 영역에서 전압항복이 일어난다.

이에 반하여 게이트 45에 동작 최고전압을 인가시, 즉 "on"시에는 전압 항복은 드레인 46쪽으로 옮겨와서 드레인 가장자리 영역 58에서 전압 항복이 일어난다.

이와 같이 소자의 "on"시 드레인 46에 전압항복이 일어나는 것은 전자가 소오스 44에서 드레인 46으로 흐를 때, 전류가 표면을 따라 흘러 드레인 46에 도달할 때, 전장이 강하게 형성된 드레인 표면 영역으로 몰려서 지나감에 따라 유발되는 전자의 충격 이온화에 의한 것이다.

따라서 종래의 고압 소자에서는 드레인 46이 반도체 표면에서 불순물을 도핑하는 것에 의해 형성되어 있기 때문에 소자의

"on"시의 전자는 소오스 44에서 드레인 46으로 표류영역 43의 표면을 따라 수평으로 흐르며, 따라서 전자의 흐름도 평면 드레인 46의 표면 가장자리로 몰리게 되어 충격 이온화 현상이 쉽게 일어난다.

이 충격 이온화 전류는 소오스 44에서 나오는 채널전류가 드레인 46의 표면 가장자리의 강한 전장 형성영역에 도달하여 이곳을 집중적으로 타격하면 전장의 세기에 따라 기하급수적으로 증가되며, 이로 인한 2차, 3차 충격 이온화 현상도 유발되어 드레인 46에서 비 정상전류가 급격히 증대하는 이른바 전압항복이 일어난다.

그리고 이 드레인 표면 가장자리의 전장은 표류영역 43에서 수평으로 펼쳐져있는 전장의 세기와 드레인의 도핑 분포와 산화막 63 및 드레인 상층 금속 플레이트 간의 기하학적인 구조에 관계가 있다.

이 중에서 가장 중요한 수평 전장은 소자의 내부저항을 줄이기 위하여 표류영역 43의 수평길이를 짧게 하거나, 웰 영역 42과 표류 영역 43의 접합 영역 56의 웰 접합 전압항복이나, 활성영역 가장자리 전압 항복 영역 57의 전압항복을 개선하기 위해 표류 영역 43의 두께를 얇게하여 표류 영역 43의 수직으로 공핍층이 확장될 때 흔히 형성된다.

그 이유는 종래의 고압 소자에서는 드레인 46을 반도체 표면에 불순물을 도핑하는 것에 의해 형성하였으므로 소자의 "on"시의 전자는 소오스 44에서 드레인 46으로 주로 표류 영역의 표면을 따라 수평으로 흐르며, 따라서 전자의 흐름도 평면 드레인의 표면 가장자리로 몰리게 되어 충격이온화 현상이 쉽게 일어난다.

그리고 드레인 표면 가장자리에서의 전장은 표류영역에서 수평으로 펼쳐있는 전장의 세기와 드레인의 도핑농도 구조와 산화막 및 드레인 전극 상층 플레이트 간의 기하학적인 구조에 관계가 있고, 그 중에서도 가장 중요한 이 드레인 가장자리에서의 수평 전장은 소자의 내부저항을 줄이기 위하여 표류영역의 수평길이를 짧게 하거나, 웰 접합 전압항복 발생영역 36이나 활성영역 가장자리 전압항복 발생영역 37의 전압항복을 개선하기 위하여 수직으로 공핍층이 확장될 때 발생하는 것으로서 소자의 동작저항을 줄이기 위하여 불가피하다.

그 결과 종래의 고압 소자는 도 5에 도시된 바와 같이, 게이트 전압 5V($V_g=5V$)일 때 드레인 항복전압은 35V에 불과할 정도로 항복전압이 낮은 단점을 가지고 있다.

발명이 이루고자 하는 기술적 과제

상술한 종래의 기술에 따른 LDMOS형 고압소자는 드레인을 반도체기판의 표면영역에 불순물을 도핑하여 형성한 구성을 가지고 있어 게이트에 고압을 인가하였을 경우 소오스로부터 드레인으로 기판의 표면영역을 따라 이동하는 전자의 충격 이온화에 따라 드레인의 표면영역에서 전압항복이 발생하여 고압소자의 항복 전압을 감소시키는 문제점을 가지고 있었다.

본 발명은 상술한 종래 기술의 문제점을 해결하기 위한 것으로 드레인의 항복전압을 높여 100V 이상의 소자를 제조할 수 있는 드레인 구조를 가지는 고압 소자를 제공하는데 있다.

상기 본 발명의 목적을 달성하기 위한 본 발명의 고압 소자에 따르면, 반도체 기판상에 서로 접하는 웰 영역과 표류영역을 가지며, 상기 웰영역에 소오스가 형성되어 있고, 표류영역에 드레인이 형성되어 있으며, 상기 웰 영역과 표류영역의 상측 영역에 걸쳐 산화막을 개재한 소정의 폭을 가지는 게이트가 형성되어 있는 LDMOS형 고압 소자에 있어서, 상기 드레인은 소정의 깊이와 폭으로 식각하여 형성된 표류영역의 표면으로부터 소정의 깊이로 형성된 트렌치 구조를 가지며, 상기 드레인의 표면에 접하여 트렌치내를 매립하는 드레인 연결배선 금속단자가 형성되어 있는 것을 특징으로 한다.

발명의 구성 및 작용

상기목적을 달성하기 위한 본 발명의 특징은, 고압 소자의 "on"시의 드레인 전압 항복을 억제하기 위하여 종래의 고압 소자구조에서와 같이 드레인을 반도체 표면에서 도핑하여 형성하지 않고, 드레인 영역을 트렌치 구조로 깊숙히 파서 내부를 도핑하고, 여기에 금속을 채워서 드레인 단자를 형성한 구조를 가지고 있다.

이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

도 1은 본 발명의 LDMOS형 고압소자의 평면도를 나타내고, 도 2는 도 1의 A-A'선에 따른 단면을 나타낸 구조도이다.

도 1 및 도 2에 따르면 본 발명의 LDMOS형 고압 소자는 반도체 기판 21상에 표류영역 23과 웰 영역 22이 형성되어 있고, 표류영역 23의 소정영역에 트렌치 구조를 가지는 드레인 26이 형성되어 있고, 웰영역 22에는 소오스 24가 형성되어 있으며, 소오스 24에 접하여 웰 인도창 27이 형성되어 있고, 표류영역 23과 웰 영역 22의 상측에 걸쳐 절연막을 개재한 게이트 25가 형성되어 있으며, 상기 소오스 24 및 웰 인도창 27, 게이트 25, 및 드레인 26을 노출시키는 개구에 각각 배선 금속단자 28, 29, 30가 형성되어 있는 구조를 가지고 있다.

또한, 소오스 24와 웰 인도창 27의 상측에는 소오스 연결점 11 및 웰 연결점 14이 형성되어 있고, 게이트 25의 상측에는

게이트 연결점 12이 형성되어 있으며, 드레인 26의 상측에는 드레인 연결점 13이 형성되어 있다.

이하, 도 2의 구조를 가지는 고압 소자의 각 영역에 대하여 보다 상세하게 설명 하면 다음과 같다.

도면번호 21은 p-형 반도체의 기판으로서 이 기판의 불순률 농도는 붕소(boron) $1\times10^{14}/\text{cm}^3\sim2\times10^{15}/\text{cm}^3$ 정도이다.

23은 표류영역이며, 이 표류영역은 드레인 금속단자 30에서 100V 이상의 고전압이 인가될 때, 이 인가된 전압을 내부적으로 지탱하기 위하여 자신이 공핍화(depletion)되는 지역으로서 n-형이며, 표면 농도는 인(phosphorus) $1\times10^{15}/\text{cm}^3\sim2\times10^{16}/\text{cm}^3$ 정도이고, 접합깊이는 $0.5\mu\text{m}\sim6\mu\text{m}$ 정도이다. 이 접합 농도가 높을수록 접합깊이가 작고 반대로 접합농도가 낮을수록 접합깊이는 깊게 해주어야 한다. 그리고 표류영역의 수평 길이는 동작전압에 따라 증가되며, 100V 금에서는 $4\mu\text{m}$ 정도이지만 수 100V급 이상에서는 $10\mu\text{m}$ 이상이다.

22는 웰(well)영역이며, 반도체 채널전류인 전자를 공급하고 그 양을 통제해 주는 영역으로서 p형이며, 표면 불순률 농도는 붕소(boron) $1\times10^{17}/\text{cm}^3$ 정도이고, 확산 깊이는 $4\mu\text{m}\sim6\mu\text{m}$ 정도이다.

24는 웰(well)영역내의 소오스로서 소자 동작시 전자를 공급하는 영역이며, n⁺형으로서 비소(arsenic)를 수 $10^{19}/\text{cm}^3$ 이상의 고농도이고 접합깊이는 $0.2\mu\text{m}\sim0.4\mu\text{m}$ 정도이다.

25는 폴리실리콘(polysilicon)으로된 게이트이며, 소오스로 부터의 전자의 흐름을 제어하는 역할을 한다. 이 게이트의 두께는 $0.3\mu\text{m}\sim0.4\mu\text{m}$ 정도이며, 소오스/드레인과 같은 n

n⁺형으로 비소(arsenic)를 수 $10^{19}/\text{cm}^3$ 이상으로 도핑되어 있는 도전층이다.

26은 드레인(drain)으로서 소자 동작시 전자를 흡수하는 영역이며, 소오스와 같은 n⁺형으로서 비소(arsenic)의 도핑농도가 수 $10^{19}/\text{cm}^3$ 이상의 고농도이고 접합깊이는 $0.2\mu\text{m}\sim0.4\mu\text{m}$ 정도이다. 본 발명에서 특히 이 드레인의 구조는 소오스와 같은 평면 구조가 아니라 트렌치의 수직 입체 구조를 하고 있으며, 이 트렌치의 깊이는 $2\mu\text{m}$ 정도이고, 폭도 $2\mu\text{m}$ 정도이다. 트렌치의 깊이가 너무 얕으면 드레인 전류의 분산 효과가 없어지고, 반대로 너무 깊으면 영역 35에서 벌크 전압항복이 일어나기 쉬우며 금속단자 30로 트렌치를 채우기도 힘들어 진다. 그리고 트렌치의 폭도 너무 작으면 금속을 채우기가 힘들어지고, 너무 크면 금속층을 채운 후에 표면이 평탄하지 못하고 트렌치에 모양의 심한 굴곡층이 남게 된다. 이 드레인 도핑은 금속을 채우기 이전에 트렌치의 내부에서 반도체 기판으로 불순물을 확산에 의하여 형성된다.

27은 웰 영역의 인도창으로서 웰 영역의 전위를 소오스 24와 같은 만들어 주는 것을 도우는 역할을 하며, p⁺형으로서 붕소(boron)의 도핑농도가 수 $10^{19}/\text{cm}^3$ 이상의 고농도이고 접합깊이는 $0.3\mu\text{m}\sim0.5\mu\text{m}$ 정도이다.

28, 29, 30은 각각 소오스, 게이트, 드레인 연결 배선금속 단자로서 주 금속은 AI 합금으로 되어 있다. 특히 드레인! 배선 금속단자 30의 금속은 트렌치 내부를 채움과 동시에 드레인 26의 도핑층까지 접촉되어 있어 방열을 효율적으로 할 수가 있다.

35는 표류영역(n-형)에서 기판(p-형)으로 일어나는 pn접합 전압항복(벌크 전압항복) 발생 영역을 나타낸다.

36은 표류영역(n-형)과 웰 영역(p형)의 pn접합 전압항복(웰 접합 전압항복) 발생 영역을 나타낸다.

37은 게이트 25의 활성영역의 가장자리(즉, 얇은 게이트 산화막에서 두께운 필드 산화막으로 꺾이는 지역)에서 기하학적인 구조에 의하여 급격한 전장의 왜곡이 발생하여 일어나는 전압항복(활성영역 가장자리 전압항복) 발생 영역을 나타낸다.

38은 전자가 소오스에서 드레인으로 흐를 때, 전장이 강하게 형성된 드레인 표면 가장자리 영역을 통과함에 따라 발생하는 전자의 충격 이온화에 의하여 일어나는 드레인 전압항복(드레인 가장자리 전압항복) 발생 영역을 나타낸다.

이 드레인 전압항복은 전류가 흐르지 않는 동작대기 즉, "off" 상태보다 전류가 많이 흐르는 조건 즉, 소자가 "on"시에 상대적으로 일어나기 쉽다.

62는 이산화규소(SiO₂)의 절연층을 나타내며, 두께는 $1\mu\text{m}$ 정도이다.

이러한 구조를 가지는 본원 발명의 고압 소자는 도 2에 도시한 바와 같이, 종래의 고압 소자인 도 3와 비교할 때, 드레인 26을 반도체 표면에서 도핑한 것이 아니라, 반도체 내부로 깊숙히 파서, 트렌치(trench) 구조를 형성한 다음, 이 트렌치 내부에서 반도체쪽으로 불순물을 도핑하였으며, 이 트렌치 내부를 최종적으로 드레인 연결 배선 금속 30으로 채운 구조를 하고 있다.

따라서 본 발명에서는 소자의 "on"시 드레인 전압항복을 억제하기 위하여 종래의 구조인 도 3에서와 같이 드레인을 반도체 표면에서 도핑하여 형성하지 않고, 드레인 영역을 트렌치로 깊숙히 파서 내부를 도핑하고, 여기에 금속을 채워서 드레인 단자를 형성해 줌으로써, 종래의 고압 소자에서 평면 드레인의 표면 가장자리에만 몰리는 전자의 흐름을 수직으로 분산시킬 수 있어 충격 이온화 현상이 완화되고 드레인 항복전압이 향상된다.

즉, 본 발명의 고압소자에서는 드레인 26에 고전압이 인가될 때, 게이트 전압이 0V, 즉 "off"시에는 전압항복은 도 2에 도시된 바와 같이 표류영역 23에서 기판 21측과 접하는 영역 35에서 벌크 전압항복이 일어나거나, 표류영역 23과 웰 영역 22의 접합면 영역 36에서 웰 접합 전압항복이 일어나며, 이 부근의 활성영역의 가장자리 영역 37에서 활성영역 가장자리 전압항복이 일어난다. 다시 말해 "off"시에는 드레인 26에서 멀리 떨어진 영역에서 전압항복이 일어난다. 이에 반하여, 게이트에 동작 최고 전압을 인가시, 즉 "on"시에는 전압항복은 드레인 26쪽으로 옮겨와서 이 드레인 26의 가장자리 영역 38에서 전압항복이 일어난다.

이때, 본 발명의 트렌치 드레인 구조에서는 드레인 표면 가장자리의 전장의 세기는 종래의 구조에 비하여 차이는 없으나 드레인 26이 기판내부로 깊숙하게 트렌치 형으로 형성되어 있어 채널에서 발생된 전자가 드레인 26에 도달할 때 상대적으로 표면에 비하여 전장의 세기가 약한 수직 깊숙한 곳까지 분산됨으로써 충격 이온화 현상이 억제되며, 2차, 3차의 증식작용도 방지된다. 이에대한 컴퓨터 시뮬레이션 결과가 도 4 및 도 5에 도시되어 있다.

도 4와 도 5는 전형적인 100V급 소자에 대한 것으로서, 각각 발명된 소자구조 및 종래 소자에 대하여 본 발명의 드레인 구조 변경 이외에는 모두 것이 동일한 조건에서 컴퓨터 시뮬레이션한 드레인 전압-드레인 전류 곡선이다. 여기서 종래의 소자인 도 5에서 보면 게이트 최고전압 5V($V_g=5V$)일 때 드레인 항복전압은 35V에 불과하나, 본 발명의 소자에서는 도 4에 도시된 바와 같이, 70V 부근이 되어 크게 개선됨을 알 수가 있다.

그 밖에도 본 발명된 소자의 장점은 트렌치의 내부에 매몰되어 형성되는 드레인 연결 배선금속 단자가 종래의 소자의 드레인 연결 배선금속단자에 비하여 열전도율이 월등히 크므로 드레인 영역에 집중적으로 발생하는 열을 용이하게 방출할 수도 있어 소자 동작시 신뢰성을 높혀줄 수 있다. 이 고압소자에서는 기준의 5V 이하의 소자에 대하여 수 100V의 전압을 통하여 전류가 흐르기 때문에 전압에 비례하여 단위면적당 발열량이 크다, 이 발열은 대부분 상대적으로 면적이 좁고 전류가 집중 되는 드레인 영역에서 발생되며, 따라서 이 매몰된 드레인 금속단자 구조가 소자의 발열을 효과적으로 억제할 수 있다.

이하, 본 발명의 고압 소자를 제작하는 과정을 도 6내지 도 15를 참조하여 설명하면 다음과 같다.

도 6을 참조하면, p형 불순물인 붕소(boron)가 $1\times10^{14}/cm^3\sim2\times10^{15}/cm^3$ 정도가 도핑된 실리콘 기판 21을 900°C 이상의 고온에서 산화시켜 이 표면에 산화막 60을 형성한다.

이어서, 도 7에 도시한 바와 같이, n⁻형 표류영역 23을 형성하기 위해, 포토리소그래피법으로 산화막 60의 일부영역을 소정의 깊이까지만 식각하여 불순을 주입창을 형성한 후, 이 불순을 주입창을 통해 인(phosphorus) $1\times10^{12}/cm^2\sim2\times10^{12}/cm^2$ 정도의 초기 불순물을 주입하고 이를 1150°C에서 6시간 정도 열 확산(thermal diffusion)시켜 기판 21내의 소정영역에 표류영역 23형성한다. 이 때 표류영역 23의 표면농도는 $1\times10^{15}/cm^3\sim2\times10^{16}/cm^3$ 정도이고, 접합깊이는 $0.5\mu m\sim$ 수 μm 정도이다.

이어서, 도 8에 도시한 바와 같이, 표류영역 23에 접하는 기판 21내에 붕소(boron)를 $3\times10^{13}/cm^2$ 정도의 초기 불순물을 주입하고 이를 1150°C에서 10시간 정도 열 확산시켜 웰 영역 22 형성하며, 이 때 표면농도는 $1\times10^{17}/cm^3$ 정도이고, 확산깊이는 $4\mu m\sim6\mu m$ 정도이다.

다음, 도 9에 도시한 바와 같이, 잔존하는 산화막 60을 제거하고, 필드영역과 활성영역을 정의하기 위해 활성영역으로서 정의된 웰영역 22과 표류영역 23이 접하는 부분의 상부표면과, 표류영역 23의 상부표면의 소정영역에 질화막 패턴(도시하지 않음)을 형성한 후, 노출된 부분을 1000°C의 고온에서 160분 정도 수소+산소(H_2+O_2)의 혼합가스로 산화시켜 형성시켜, 필드산화막 61을 형성하고 질화막 패턴을 제거한다. 이 때 필드 산화막은 $0.7\mu m$ 정도의 두께로 형성한다.

이러한 공정에 의해 필드영역과 활성영역이 정의되며, 질화막 패턴이 형성되었던 영역은 활성층(active)영역으로서 이후 공정에서 게이트, 소오스, 드레인이 형성되게 된다.

이어서, 도 10에 나타낸 바와 같이, 웰 영역 22과 표류영역 23이 접하고 있는 노출된 기판의 표면을 900°C의 고온에서 수소+산소(H_2+O_2)의 혼합가스로 20분~60분 정도 열산화시켜 게이트 산화막 62를 형성한다. 이 때 산화막의 두께는 200Å~500Å 정도가 된다.

다음, 도 11에 도시된 바와 같이, 기판의 전표면상에 폴리실리콘을 600°C에서 저압 화학적 기상성장법(LPCVD)으로 3500Å 정도 도포한 후, 이를 포토리소그래피법으로 패터닝하여 웰영역 22과 표류영역 23의 상측에 소정의 폭을 가지는 게이트 25를 형성한다.

이어서, 도 12에 도시된 바와 같이, 산화막 61에 의해 노출된 표류영역 23을 반응성 이온 에칭법(RIE)으로 식각하여 2μm의 깊이와 2μm의 폭을 가지는 트렌치를 형성한다.

다음, 도 13에 도시한 바와 같이, 소오스/드레인을 형성하기 위해 노출된 웰 영역 22 및 표류영역 23의 트렌치에 인(phosphorus)을 이온 주입하고, 웰 영역 22에 붕소(boron)를 각각 수 $10^{15}/cm^2$ 으로 이상 주입하고, 900°C 정도에서 30분 이상 열처리하여 각각 n⁺의 드레인 26과 소오스 24 및 p⁺의 웰 인도창 27을 형성한다. 이때 트렌치에 불순물을 도핑하기 위한 주입시에는 이온 주입기를 이용한 수직 및 경사(tilted)이온 주입을 실시하며, 이들의 표면 농도는 수 10

¹⁹ 이상의 고농도로 하고 접합깊이는 0.3 μ m~0.5 μ m가 되도록 한다.

다음, 도 14에 도시한 바와 같이, 기판의 전면에 게이트 25를 절연하기 위해 플라즈마 증진 화학적 기상 성장법(PECVD)으로 380°C에서 봉소 인 함유 실리콘 산화막(BPSG : B 2.7%, P 5.7%의 SiO₂)(62)를 1 μ m 정도 추가로 도포한 다음, 반응성 이온 식각기(RIE)로 산화막 62, 61, 60을 선택적으로 식각하여 소오스24, 게이트 25 및 드레인 26을 노출시킨다.

이어서, 도 15에 도시한 바와 같이, 소오스/드레인 및 게이트의 금속단자를 형성하기 위해 기판의 전면에 우선 백금(Pt)을 300 Å 증착하고, 460°C에서 30분간 열처리하여 백금 실리사이드(PtSi)를 형성한 다음, 2200 Å 두께의 TiW, 1 μ m~2 μ m의 두께를 가지며 1%의 Si과 0.5%의 Cu를 함유하는 AI, 1000 Å 두께의 TiW를 차례로 증착하고 난 후, 이를 선택적으로 패터닝하여 게이트, 소오스/드레인의 금속 단자를 형성하고, 최종적으로 400°C에서 30분간 합금 열처리한다. 이 백금 실리사이드는 접촉 금속과의 전기저항을 줄여주고, 다음 층인 TiW은 트렌치 굴곡 흠 내부의 총진을 측진하며, 그리고 중간 층인 AI은 주 도전체의 구실을 한다. 그리고 상층의 TiW은 AI 노광시 반사 방지막의 역할을 함으로써 패터닝을 용이하게 해 줄 뿐만이 아니라, 2층 금속배선이 필요한 경우에는 AI 층간 절연을 식각시(이를 반도체 공정에서는 "비아(via) 식각"이라고 함) 하층 AI 층의 식각방지 보호막 역할을 함으로써 안정된 다층 금속배선을 가능하게 해 준다.

발명의 효과

본 발명에서는 도 2에 도시된 바와 같이, 드레인 구조가 반도체 표면에서 형성된 것이 아니라 반도체 내부로 깊숙히 파서, 즉 반도체 공정에서 흔히 말하는 트렌치 구조를 형성한 다음, 이 트렌치 내부에서 불순물을 도핑하였으며, 이 트렌치 내부를 최종적으로 드레인 연결 배선 금속단자 물질로 채운 구조를 하고 있다.

이 트렌치 구조의 드레인은 입체적인 구조로서, 채널전자가 드레인에 도달할 때 드레인 표면 가장자리 보다는 상대적으로 전장의 세기가 약한 수직 깊숙한 곳까지 전자의 흐름이 수직적으로 분산됨으로써 충격 이온화 현상이 억제되어, 이로 인하여 드레인 전압 향복이 개선된다.

그 밖에도 본 발명의 소자의 장점은 매몰된 드레인 연결 금속단자가 종래의 반도체 물질에 비하여 열 전도율이 월등히 커서 이 드레인 영역에 집중되어 발생하는 열을 용이하게 방출할 수 있어 소자 동작시 신뢰성을 높혀줄 수 있다.

(57) 청구의 범위

청구항1

반도체 기판상에 서로 접하는 웨이영역과 표류영역을 가지며, 상기 웨이영역에 소오스가 형성되어 있고, 표류영역에 드레인이 형성되어 있으며, 상기 웨이영역과 표류영역의 상측영역에 걸쳐 산화막을 개재한 소정의 폭을 가지는 게이트가 형성되어 있는 LDMOS형 고압 소자에 있어서,

상기 드레인은 소정의 깊이와 폭으로 식각하여 형성된 표류영역의 표면으로부터 소정의 깊이로 형성된 트렌치 구조를 가지며,

상기 드레인의 표면에 접하여 트렌치내를 매립하는 드레인 연결 배선 금속단자가 형성되어 있는 것을 특징으로 하는 고압 소자.

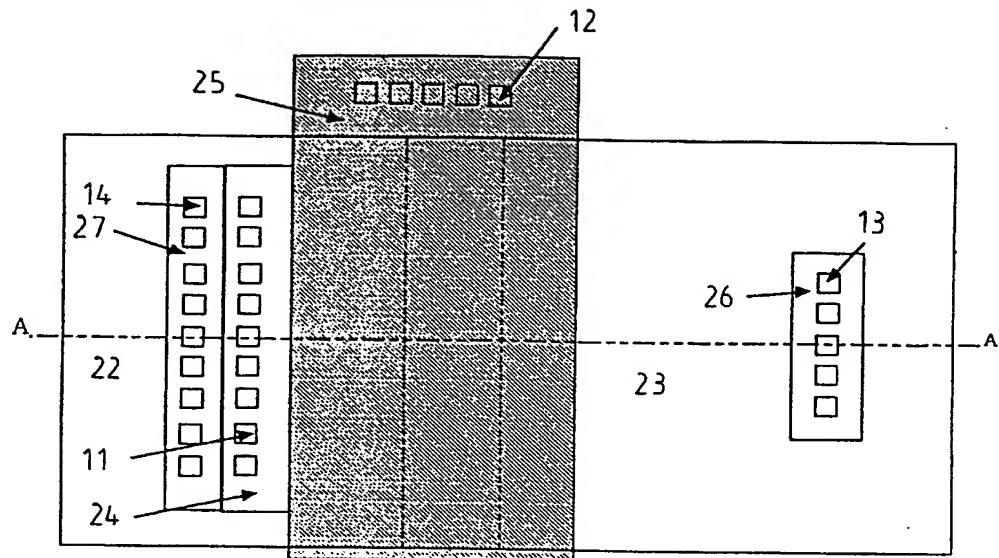
청구항2

제 1 항에 있어서,

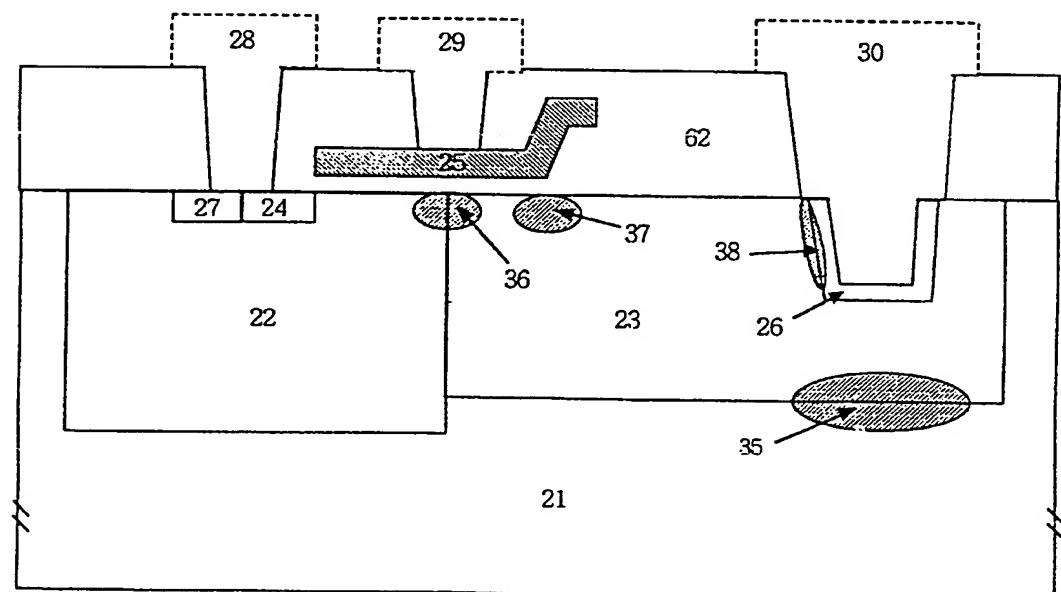
상기 드레인 연결 배선 금속단자는 백금실리사이드(PtSi), TiW, AI, 및 TiWO이 차례로 적층된 구성을 가지는 것을 특징으로 하는 고압 소자.

도면

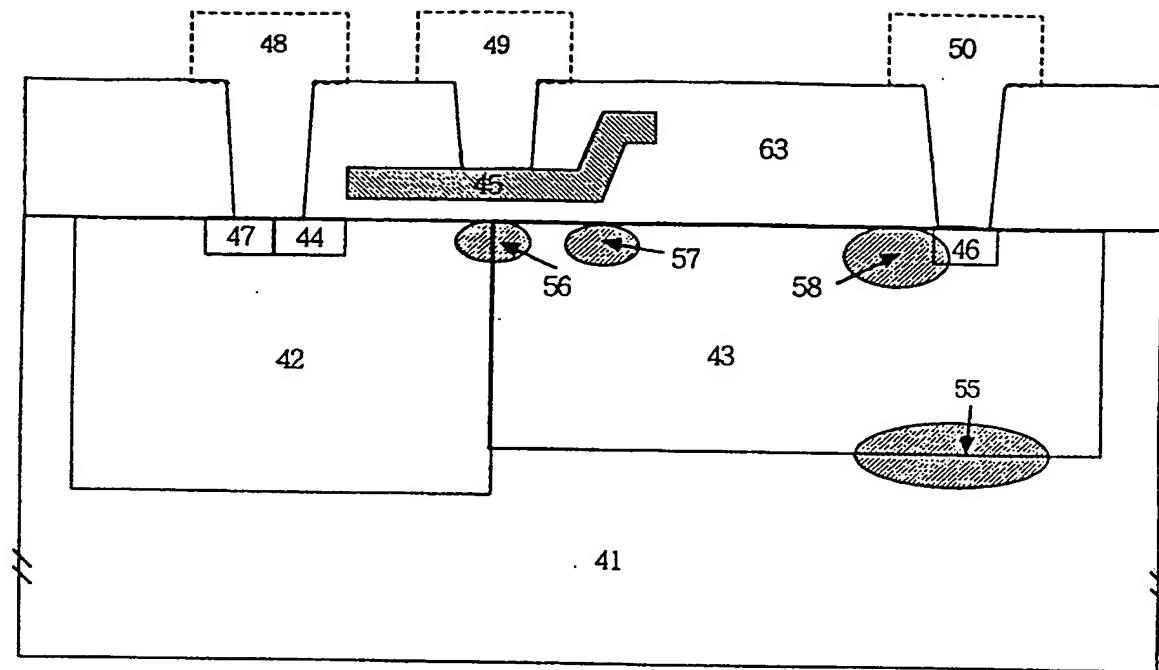
도면1



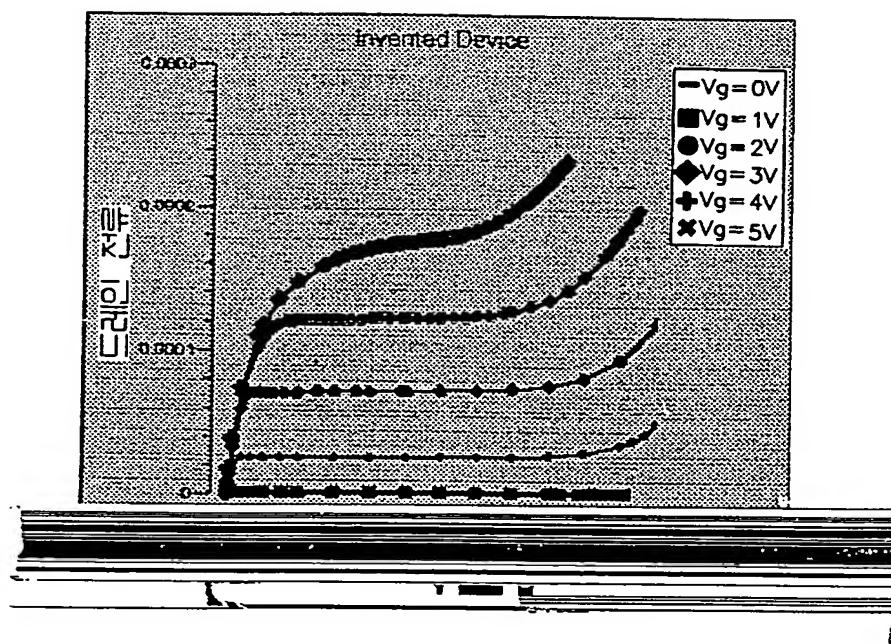
도면2



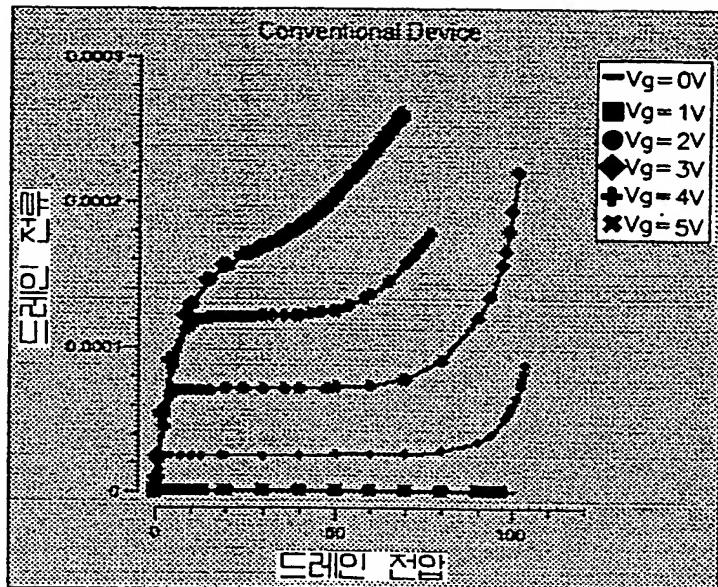
도면3



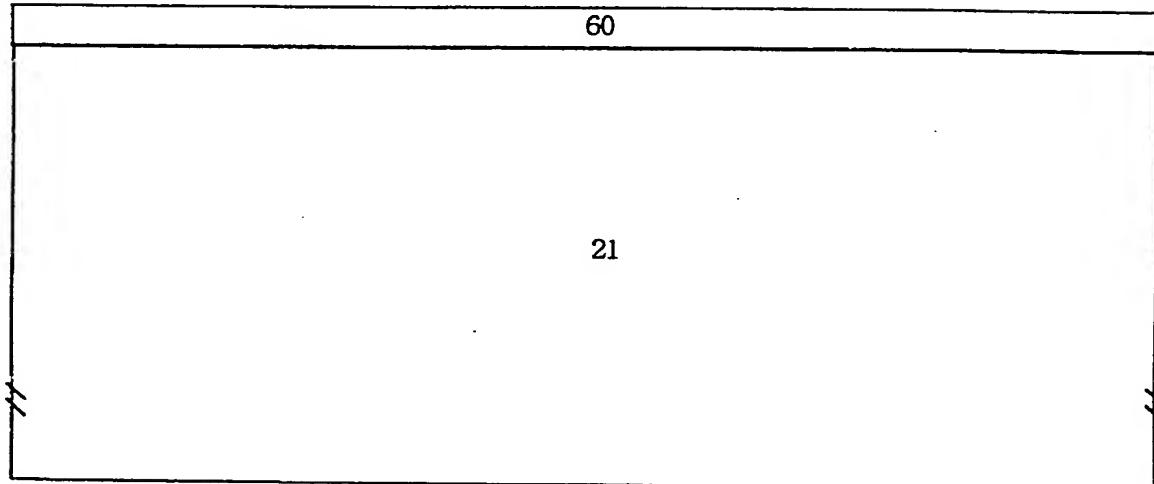
도면4



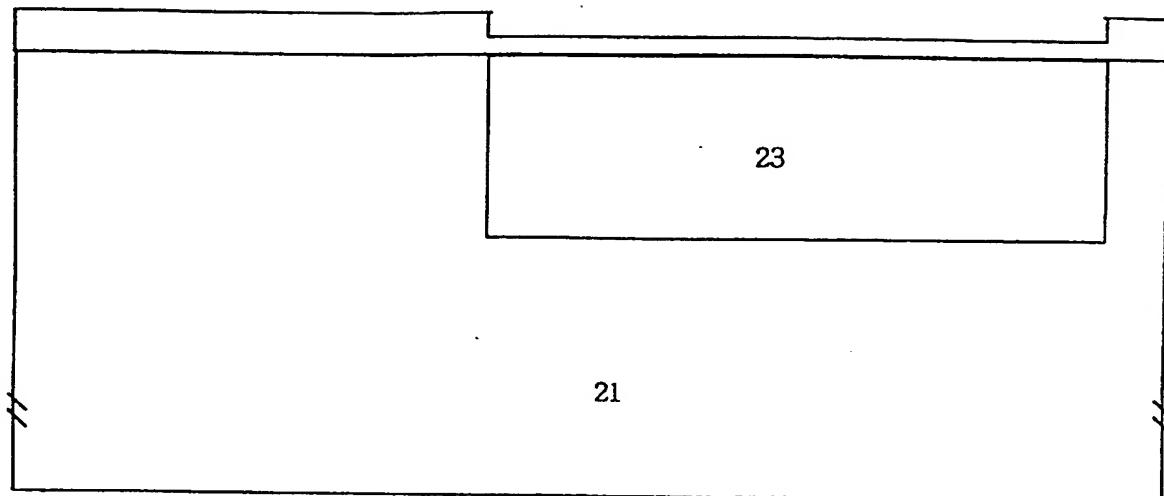
도면5



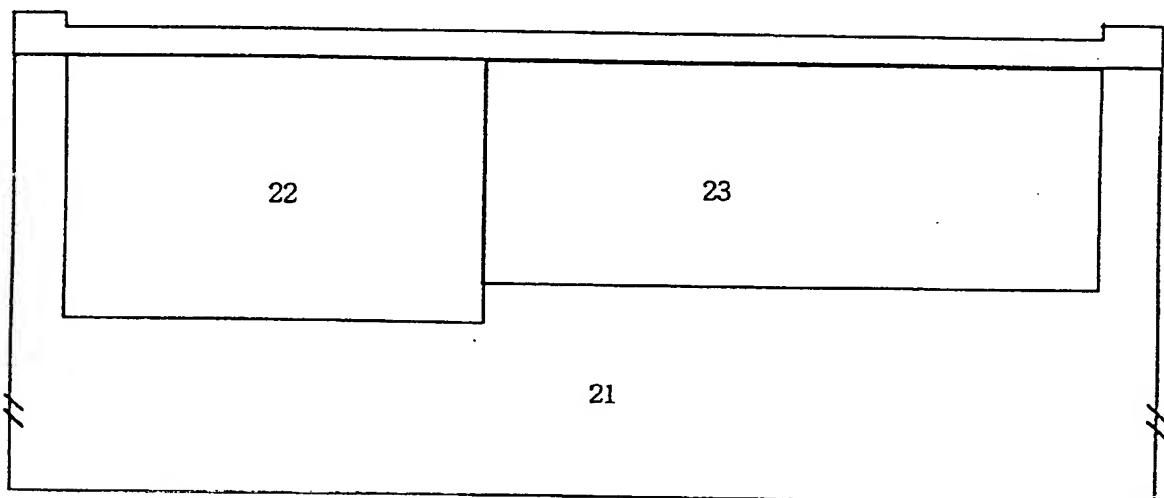
도면 6



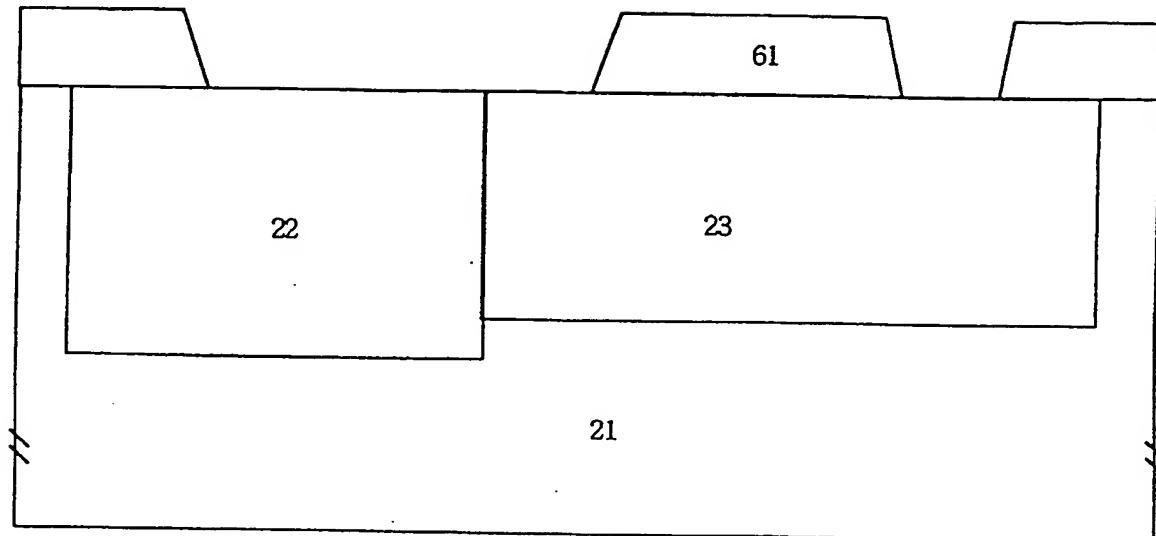
도면 7



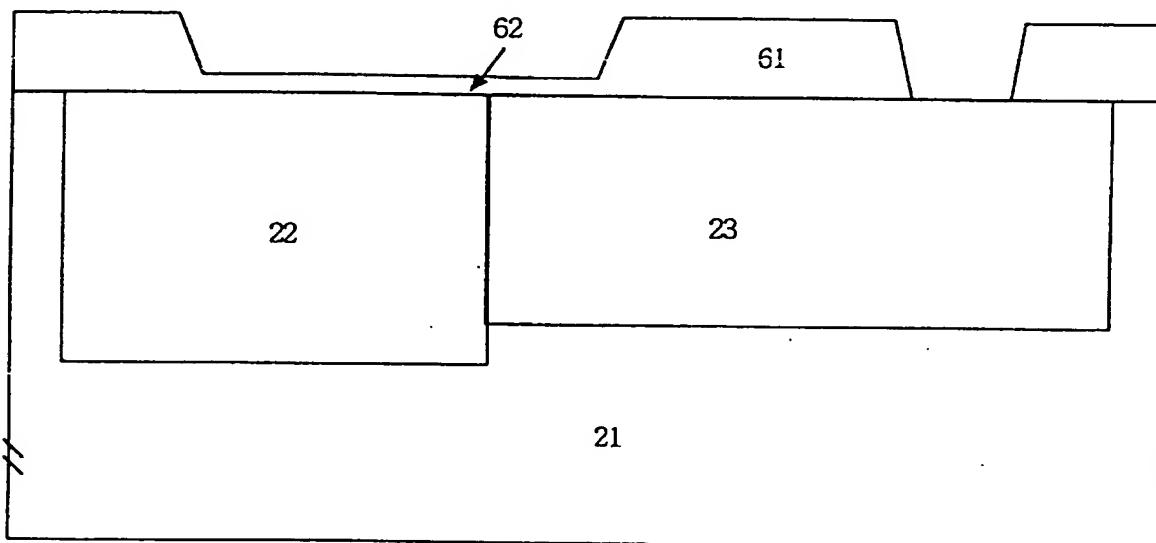
도면8



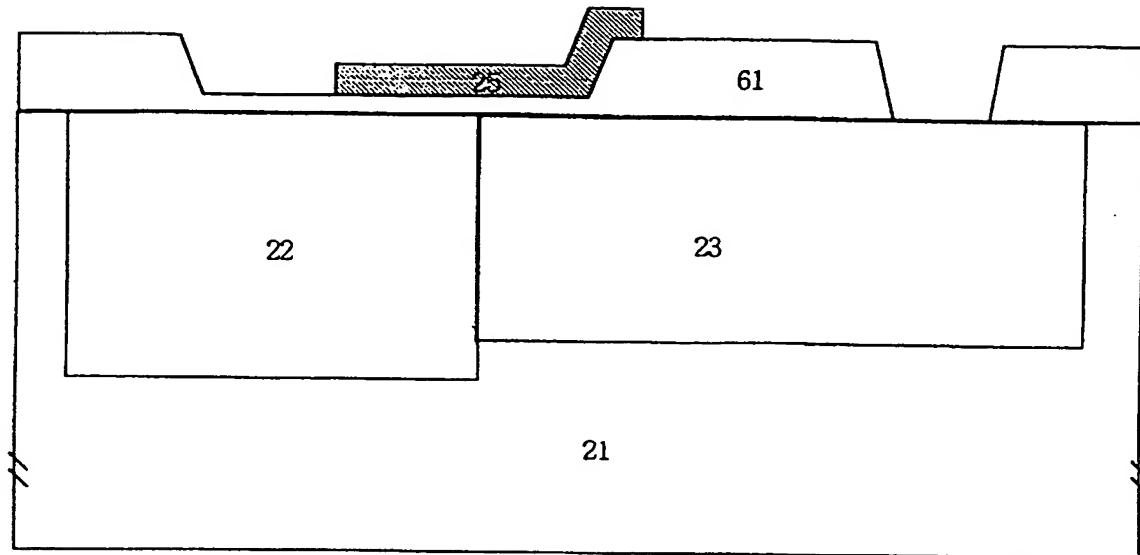
도면9



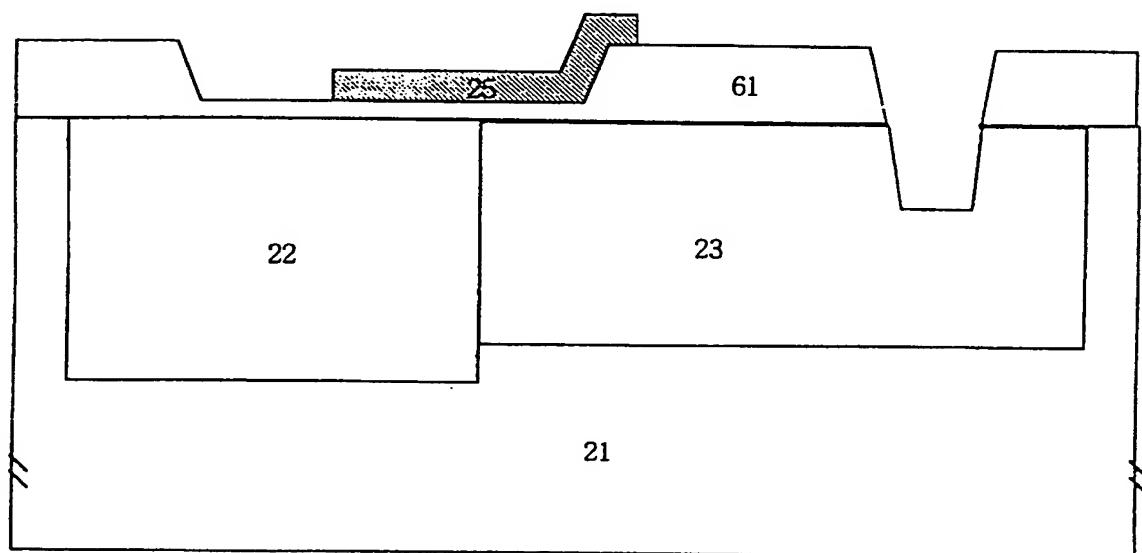
도면10



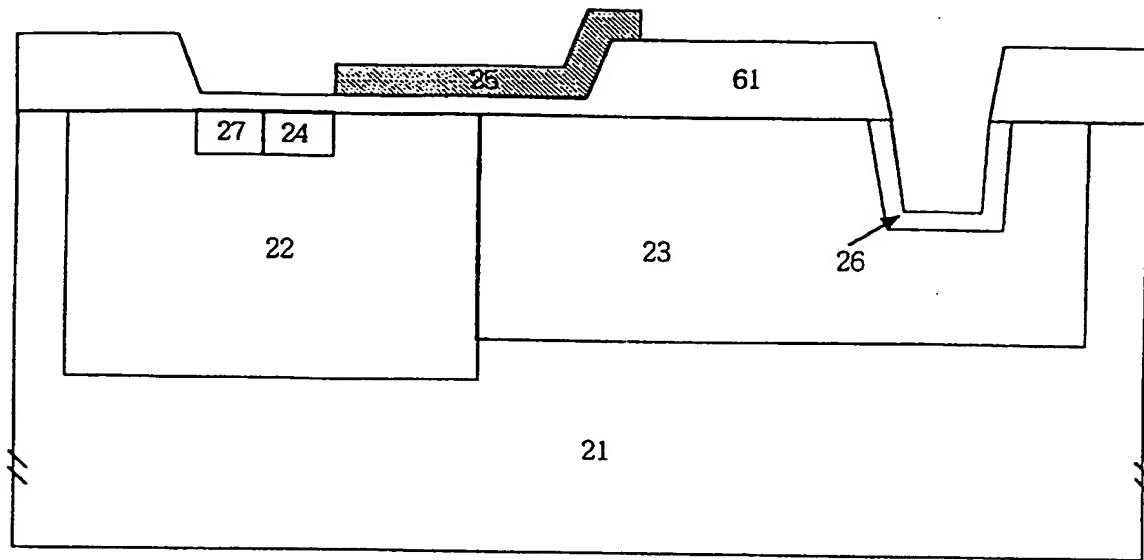
도면11



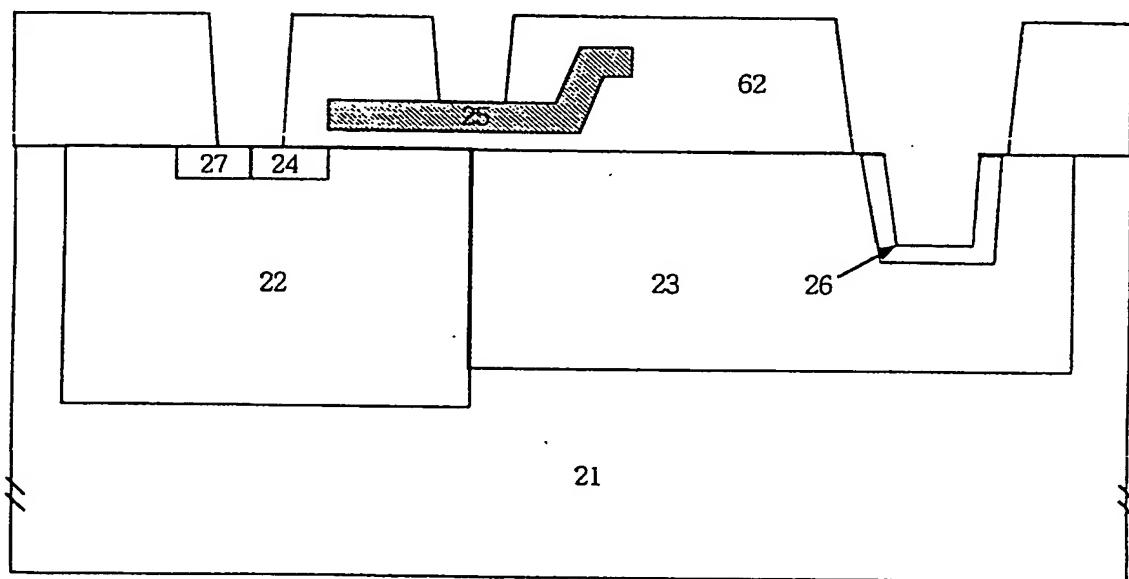
도면12



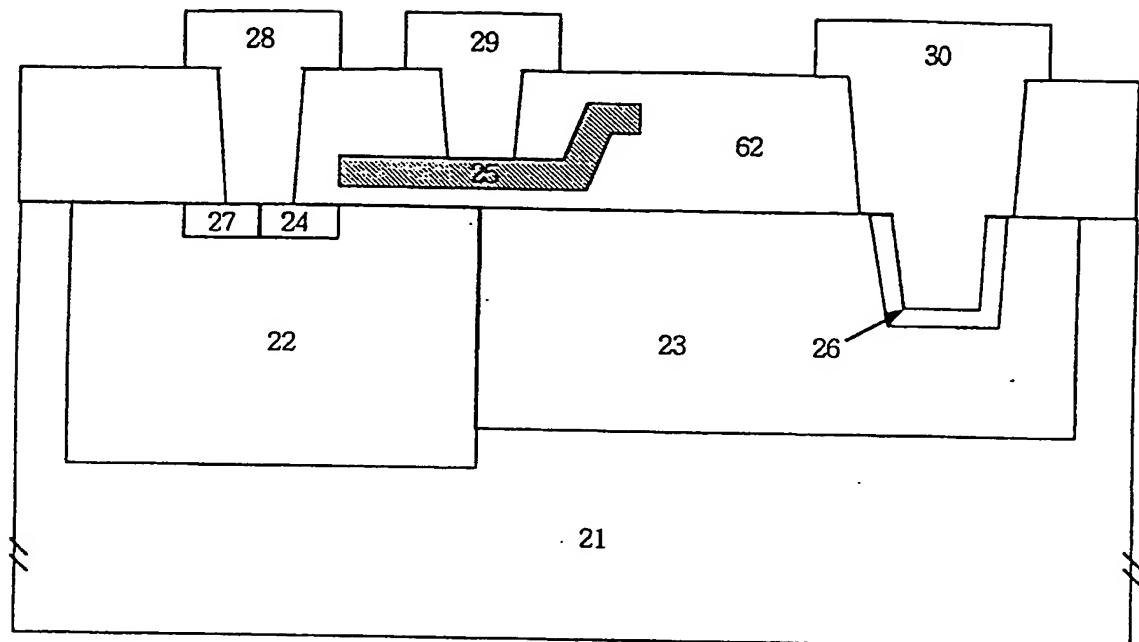
도면13



도면14



도면15



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Défective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.